

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-263504

(43) 公開日 平成7年(1995)10月13日

(51) Int. Cl. ⁴	識別記号	片内整理番号	FI	技術表示箇所
H01L 21/06		D 7630-4M		
		B 7630-4M		

審査請求 未請求 請求項の数9 OL (全9頁)

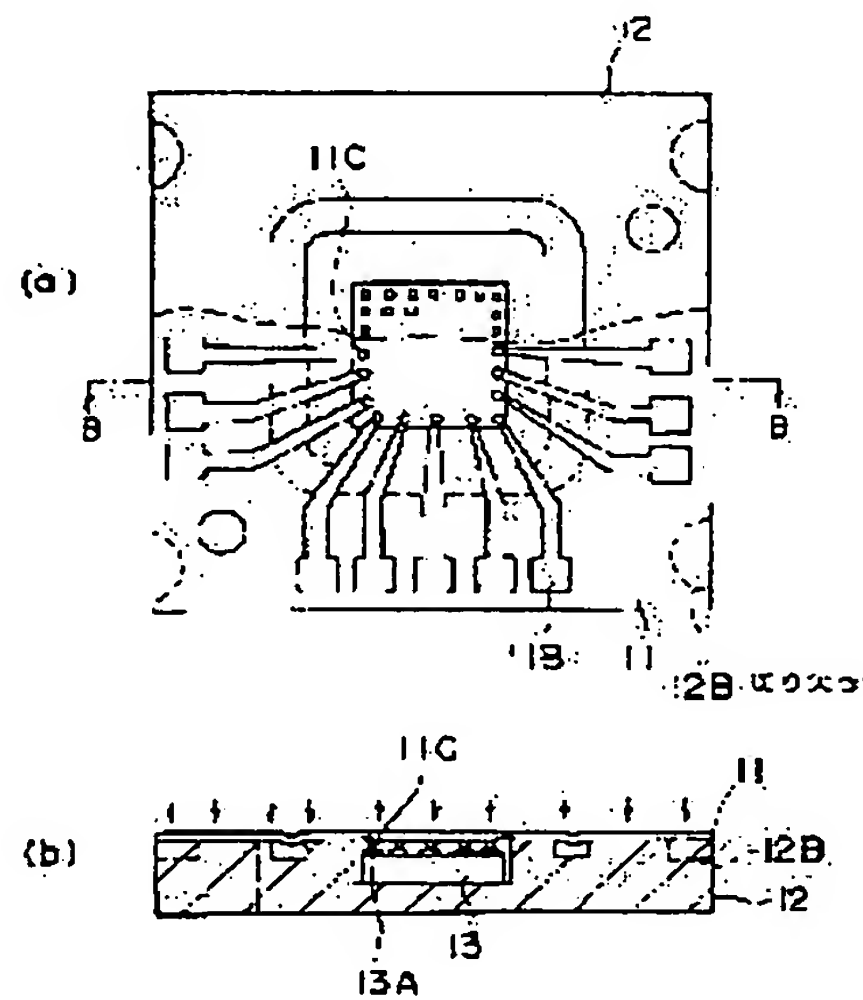
(21) 出願番号	特願平6-48850	(71) 出願人	000005229 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22) 出願日	平成6年(1994)3月18日	(72) 発明者	丸山 茂幸 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁護士 岡本 啓三

(54) 【発明の名称】 半導体集積回路装置の試験用キャリア

(57) 【要約】

【目的】 半導体装置集積回路の試験用パッケージに関し、さらに詳しくいえばヘアチップ状態でB・I試験する際の試験用パッケージの改善に関する。

【構成】 半導体集積回路装置13を載置する基体12と、前記基体12を被覆して、前記半導体集積回路装置13と外部機器とのコンタクトをとる蓋体11と、前記蓋体11と基体12との間に形成され、外気に比して減圧された雰囲気中で前記半導体集積回路装置13を収納する半導体装置収納室12Aとを有すること。



【特許請求の範囲】

【請求項 1】 半導体集積回路装置（13）を載置する基体（12）と、

前記基体（12）を被覆して、前記半導体集積回路装置（13）と外部機器とのコンタクトをとる蓋体（11）と、

前記蓋体（11）と基体（12）との間に形成され、外気に比して減圧された雰囲気で前記半導体集積回路装置（13）を収納する半導体装置収納室（12A）とを有することを特徴とする半導体集積回路装置の試験用キャリア。

【請求項 2】 前記蓋体（11）は、フィルム（11A）上に、前記半導体集積回路装置（13）の電極に対応した配線パターン（11B、11C）が形成され、かつ前記基体（12）と接合するための接合部（11D）を有する配線フィルムであることを特徴とする請求項 1 記載の半導体集積回路装置の試験用キャリア。

【請求項 3】 試験時の気圧に比して減圧された雰囲気中で組み立てられたことを特徴とする請求項 1 記載の半導体集積回路装置の試験用キャリア。

【請求項 4】 前記減圧された雰囲気は、酸素を含まない雰囲気であることを特徴とする請求項 3 記載の半導体集積回路装置の試験用キャリア。

【請求項 5】 前記半導体装置収納室（12A）に通じ、該半導体装置収納室（12A）内を減圧する排気弁（12C）が前記基体（12）に設けられたことを特徴とする請求項 1 記載の半導体集積回路装置の試験用キャリア。

【請求項 6】 高密度性の部材（12E）が前記基体（12）と前記蓋体（11）との間に設けられたことを特徴とする請求項 1、請求項 2 又は請求項 3 記載の半導体集積回路装置の試験用キャリア。

【請求項 7】 前記半導体集積回路装置（13）は、エリアバンクチップであることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 又は請求項 6 記載の半導体集積回路装置の試験用キャリア。

【請求項 8】 前記基体（12）の端部に切り欠き（12B）が形成されたことを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 又は請求項 7 記載の半導体集積回路装置の試験用キャリア。

【請求項 9】 前記基体（12）は、前記蓋体（11）と同程度の剛性をもつ材質のフィルムからなることを特徴とする請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7 又は請求項 8 記載の半導体集積回路装置の試験用キャリア。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置の試験用キャリアに関し、より詳しくは、半導体集積回路装置チップを収納して、加速度試験などに用いるための

試験用キャリアの改善に関する。近年、LSI の高集積度化は著しく、同時に電子機器のダウンサイジング化の傾向も著しい。これらの要求に対応するには LSI チップの高集積度化もさることながら、チップの高密度実装技術によるところも大である。その傾向はベアチップ実装や MCM（マルチチップモジュール）などにおいて特に顕著となる。

【0002】 このような背景から、LSI のチップ状態での試験に要求される内容の充実度が高まっている。

【0003】

【従来の技術】 以下で従来例に係る半導体集積回路装置の試験について図 14、図 15 を参照しながら説明する。なお、図 15（b）は、同図（a）の E-E 線断面図である。チップ状態のまま製品としてユーザへ供給する場合、初期不良を除去するための加速度試験（以下 B・I 試験と称する）や FT（Final Test）はチップの状態で行う必要がある。

【0004】 また MCM のように複数個のチップにより構成されているパッケージはそのパッケージ内に 1 個でも不良チップが含まれていれば、当然製品全体が不良となるため、従来のチップ試験の内容では製品の最終歩留りが著しく低下しやすい。このことから上記のような複数チップを搭載するパッケージに関しては、そのチップはベアチップの状態での B・I 試験を行う必要性が高い。これは今後ますます必要になると思われる工程であるが、ベアチップ状態での B・I 試験は現在、技術を模索、確立しようとしているのが現状である。

【0005】 通常、ウエハ状態での試験は、ウエハプローバを用いた PP（Production Probe）試験、すなわちプローバを用いてウエハ上の微細な電極にコンタクトする方法が多用されており、この方法を図 14 に示すようにチップに転用することが第 1 の方法として提案されている。すなわち、外部の試験装置に接続されたプローバ 1 を、チップ 2 の微細なコンタクト電極 2 と位置合わせしてコンタクトを取り、B・I 試験を行う炉（以下 B・I 炉と称する）に入れて、高温加熱しながら回路を動作させて B・I 試験を行うというものである。

【0006】 また、第 2 の方法として従来用いられている IC 用のソケットを用いて、チップの電極にコンタクトする方法が提案されている。さらに第 3 の方法として、図 15 に示すようにポリイミドなどの電気的に絶縁性の高い材料で作られたフィルム状のシートに IC チップの電極と対応した位置に微細なコンタクト用の電極 3B が設けられ、外部の試験装置とのコンタクトをとるための配線パターン 3A が設けられてなるコンタクトシート 3 を、チップ 2 に圧着してチップ 2 と試験装置とのコンタクトをとる方法が提案されている。

【0007】

【発明が解決しようとする課題】 しかしながら、上記従来の第 1～第 3 の方法では以下に示すような問題が生じ

る。すなわち、第1の方法のPP試験では、プローバを用いてチップ上の微細な電極にコンタクトするには、図14に示すように、チップの電極に対応して高精度に配列されたプローバ1を用い、チップ2のコンタクト電極2Aを画像認識し、プローバ1との位置ずれを補正する高精度の位置合わせ装置を用いることによりはじめて達成できるが、プローバは一般に非常に高価であって、このようなプローバ1及び位置合わせ装置を個々のチップごとに用意してB・I試験することは現実的でなく、また、できたとしても膨大なコストがかかるので、チップでB・I試験するメリットがない。

【0008】また第2の方法によれば、チップの電極の大きさに比して、従来のICソケットのコンタクトピンの先端の大きさや、その位置ばらつきが大きく、ICソケットとチップの位置合わせ誤差が大きいため、チップ電極の大きさを従来よりも大きく設けなければ位置合わせができず、微細なチップの電極の状態に則した試験ができないという問題がある。

【0009】さらに第3の方法では、コンタクトシート3の電極3Bとチップ2のコンタクト電極2Aとの位置合わせが困難であり、たとえ画像認識法などで位置合わせしたとしても、B・I試験中の振動あるいは運搬中の衝撃などで容易に両者の位置がずれてしまうという問題がある。さらに、このコンタクトシート3の電極3Bが微細であって、かつコンタクトシート自体がポリイミドなどのフィルムからできているため柔軟なので、コンタクトシート全体をチップに均一に押圧しないと、コンタクト電極2Aとコンタクトシート3の電極3Bとの安定したコンタクトを得ることができなかったという問題もあった。

【0010】さらに上記の第1～第3の方法について共通の課題として、通常のパッケージされたICと同等の雰囲気中でB・I試験すると、チップにゴミが付着して焼き付きを起こすなどの障害が考えられる。また高温状態で長時間加熱するとチップの電極部の酸化が進んで劣化してしまい、以降の実装性・接続性が悪くなるという問題があった。

【0011】以上説明したように、既存の技術では事実上、ベアチップ状態での試験は非常に困難であった。本発明はこのような事情に鑑みてなされたものであって、従来困難であったベアチップの加速度試験などの試験を可能ならしめる半導体集積回路装置の試験用キャリアを提供することを目的とする。

【0012】

【課題を解決するための手段】上記した課題は、図4に例示するような半導体集積回路装置13を載置する基体12と、前記基体12を被覆して、前記半導体集積回路装置13と外部機器とのコンタクトをとる蓋体11と、前記蓋体11と基体12との間に前記半導体集積回路装置13を収納する半導体装置収納室12Aを有し、前記

半導体装置収納室12Aが外界の気圧に比して減圧されていることを特徴とすることによって解決する。

【0013】

【作用】本発明によれば、図1に例示するように、半導体集積回路装置13を載置する基体12と、基体12を被覆して外部機器とのコンタクトをとる蓋体11と、蓋体11と基体12との間に半導体集積回路装置を収納する半導体装置収納室12Aを有し、この半導体装置収納室12Aが外界の気圧に比して減圧されている。

【0014】このため、例えば事前に画像認識法などで蓋体11と半導体集積回路装置の電極とを位置合わせされれば、半導体装置収納室12Aの気圧が外界の気圧に比して減圧されていることにより、蓋体が外界の大気圧によって均一に押圧されるので、たとえ剛性の少ないフィルム状の蓋体11を用いたとしても、蓋体11のコンタクト用の電極と半導体集積回路装置13のコンタクト電極とが均一に押圧され、B・I試験中の振動や運搬中の衝撃があっても、容易に位置ずれしないようにすることが可能となる。

【0015】また、減圧の程度を変化させることにより、コンタクト圧力を操作でき、半導体集積回路装置13のコンタクト電極と、蓋体11のコンタクト電極を最適な圧力のコンタクト状態にすることが可能となる。よって、半導体集積回路装置の微細な電極パターンに対応して外部機器とのコンタクトをとることができるので、ベアチップでの加速度試験など、従来困難であった半導体集積回路装置の試験をすることが可能になる。

【0016】

【実施例】以下で本発明の実施例について図面を参照しながら説明する。

(1) 第1の実施例

以下で、本発明の第1の実施例について図1～図7を参照しながら説明する。なお、図1(b)は図1(a)のA-A線断面図であり、図4(b)は同図(a)のB-B線断面図である。

【0017】最初に、本発明の第1の実施例に係る半導体集積回路装置の試験用キャリアの各部材について説明する。本実施例に係る半導体集積回路装置の試験用キャリアは、図1に示すようにコンタクトシート11とケース12とからなる。コンタクトシート11は、膜厚0.05～0.1mm程度のポリイミドなどからなるフィルム11A上に、試験対象のチップ13の電極パターンに対応して形成された導電性のコンタクトパッド11Cと、コンタクトパッド11Cに接続され、外部の試験装置とのコンタクトをとるための導電性の配線パターン11Bが形成されてなる。

【0018】ケース12は、エポキシ樹脂などからなり、ポケット12Aが設けられているものであって、このポケット12Aにチップを収納するものである。以上の部材に試験対象のチップを収納する方法について以下

で図2～図4を参照しながら説明する。まず、図2に示すように、試験対象のチップ13、コンタクトシート11及びケース12を真空炉14の中に搬入し、チップ13のコンタクト電極が上側にくるように、ケース12のポケット12A内にチップ13を収納し、XYステージ15の上に載置する。

【0019】次に、チップのコンタクト電極13Aとコンタクトシート11のコンタクトパッド11Cとの位置ずれを確認しながら、XYステージ15を移動させることにより、両者の位置合わせを行う。次いで、真空炉14内でコンタクトシート11の一部領域に接着剤を塗布したのちに、図3(a)に示すように位置合わせ済みのコンタクトシート11とケース12とを接着する。

【0020】以上までの工程を、大気圧以下の低圧雰囲気で行う。このとき、窒素などの不活性ガス雰囲気にするなどして、真空炉14内での雰囲気には酸素を一切含まないようにしておく。その後、これらのコンタクトシート11、ケース12及びチップ13が一体化されたもの（これを以下で試験用キャリアと称する）を、真空炉14から搬出して常圧雰囲気に出す。このことにより、チップ13が収納されたポケット12の内部の気圧と、外界の常圧との気圧差により、コンタクトシート11はチップ13及びケース12に均一に押圧されて圧着される。このことにより、コンタクトパッド11Cとチップのコンタクト電極13Aとは確実に圧着される。

【0021】以上の工程を経て、図4に示すような試験用キャリアが完成する。この試験用キャリアは、コンタクトパッド11Cとコンタクト電極とが適切なコンタクト力で確実に圧着されて固定されるので、コンタクトシートを用いた従来の第3の方法のように、B・I試験中の振動あるいは運搬中の衝撃などで容易に両者の位置がずれてしまうという問題を極力抑止することが可能になる。

【0022】また、従来の第1の方法を採用していないので、高精度なプローブヘッド及び位置合わせ機能を個々のチップごとに用意してB・I試験することにより、膨大なコストがかかることを抑止でき、さらに従来の第2の方法も採用していないので、チップ電極の大きさを従来よりも大きく設けなくてもよいので、通常のサイズのチップで試験をすることができ、チップの実状に即した試験が可能になる。

【0023】その後、この試験用キャリアを図5に示すように、従来用いていた試験用のICソケット17に収納したのちにB・I炉内に入れ、125℃程度の高温下で一定時間（例えば48時間、96時間）放置し、その間チップに通電することによりB・I試験を行う。なお、本実施例に係る試験用キャリアには、そのケース12に、図4、図6に示すような切り欠き部12Bが設けられているので、B・I試験終了後、ケース12内に収納されていたチップ13を取り出したいときには、図6

に示すように、この切り欠き部12Bからコンタクトシート12を剥がすことで容易にチップ13を取り出すことができるので、そういった意味でも有効である。

【0024】さらに、図7に示すような従来のプローブを用いた第1の方法ではチップの電極部が球状になっているエリアンプチップなどを試験するには、とりわけ球状のチップ電極とのコンタクトをとりがたく、また試験中の振動などですぐにずれてしまうので試験の実施が非常に困難であったが、本実施例に係る試験用キャリアによれば、図7に示すように、球状のコンタクト電極13Aとも容易にコンタクトをとることができ、しかも圧着されていることにより容易にずれないので、特にこのようなチップの試験においては、一層効果的である。

【0025】加えて、チップ13の背面と、ケース12のポケット12Aの底面とが密着しているため、例えばアルミニウムなど、放熱性の高い材質でケース12を形成することにより、試験中のチップの放熱性が促進されて、試験の信頼性が向上する。さらに、組み立ての際に、真空炉14内は真空か、もしくは低圧の不活性ガス雰囲気にしており、とりわけ酸素は混入されないような雰囲気になっているので、チップ13を収納するポケット12A内には酸素がないので、B・I試験で高温状態で長時間加熱しても、チップ13のコンタクト電極13Aの酸化が進んで劣化してしまうことも抑止できるという効果も生じる。

【0026】(2) 第2の実施例

以下で、本発明の第2の実施例について図8～図10を参照しながら説明する。なお、第1の実施例と重複する事項については説明を省略する。又、図8(b)は同図(a)のC-C線断面図であり、図10(b)は同図(a)のD-D線断面図である。

【0027】最初に、本実施例に係る半導体集積回路装置の試験用キャリアの各部材について図8を参照しながら説明する。本実施例に係る半導体集積回路装置の試験用キャリアは、図8に示すようにコンタクトシート11とケース12とからなる。コンタクトシート11は、第1の実施例と同様に、膜厚0.05～0.1mm程度のポリイミドなどからなるフィルム11A上に、試験対象であるチップ13のコンタクト電極13Aのパターンに対応して形成された、導電性のコンタクトパッド11Cと、コンタクトパッド11Cに接続され、外部の試験装置とのコンタクトをとるための導電性の配線パターン11Bが形成されてなる。

【0028】ケース12は、エポキシ樹脂などからなり、ポケット12Aとカブラ12Cが設けられている。このカブラ12Cが設けられている点が第1の実施例と異なる点である。ポケット12Aはチップ13を収納するものであるのは第1の実施例と同様であって、カブラ12Cは、このポケット12Aに通じており、ポケット12A内の空気を排気して、チップ収納時にポケット1

2Aの気圧を外界よりも減圧するための排気弁である。

【0029】以上の部材に試験対象のチップを収納する方法について以下で図9～図10を参照しながら説明する。まず、図9(a)に示すように、ケース12のポケット12Aに試験用のチップ13を、そのコンタクト電極13Aが上側にくるように収納し、チップ13のコンタクト電極13Aとコンタクトシート11のコンタクトパッド11Bとを常圧雰囲気中で位置合わせしたのちに、不図示の接着剤でコンタクトシート11とケース12とを接着する。

【0030】その後、図9(b)に示すように、カブラ12Bに不図示の吸引器を接続し、カブラ12Bを開いて、ポケット12A内の空気を吸引器で吸入することにより、ポケット12A内の気圧を、ほぼ真空状態になるまで減圧する。その後、カブラ12Bを閉じて、ポケット12A内を真空状態にする。以上により、図10に示すような試験用キャリアが完成する。本実施例に係る試験用キャリアによれば、第1の実施例と同様の効果を得ることができるのみならず、組み立ての際に、減圧あるいは真空雰囲気中で組み立てることなく、常圧雰囲気中でコンタクトシート11をケース12に接着したのちに、カブラ12Cからポケット12A内の空気を吸引することで簡単にポケット12A内の気圧を減圧することができるので、真空炉などの大がかりな設備を必要とせず、簡単に、かつ安価に形成することが可能になる。

【0031】(3) 第3の実施例

以下で本発明の第3の実施例について図11を参照しながら説明する。なお、第1、第2の実施例と重複する事項については説明を省略する。本実施例に係る半導体集積回路装置の試験用キャリアは、図11に示すようにコンタクトシート11とケース12とからなり、第1の実施例と同様の構成であるが、ケース12に溝12Dが形成され、その中にゴムなど、密着性の高いOリング12Eが埋め込まれ、コンタクトシート11と密着している点のみが第1の実施例と異なる点である。

【0032】このため、密着性の高いOリング12Eがコンタクトシート11とケース12との間に形成されていることにより、両者の密着性が第1の実施例の試験用キャリアよりも高く、試験中の振動や、搬送中の振動に生じ易い位置ずれに、より一層強いという効果が生じる。

(4) 第4の実施例

以下で、本発明の第4の実施例について図12、図13を参照しながら説明する。なお、第1～第3の実施例と重複する事項については説明を省略する。

【0033】本実施例に係る半導体集積回路装置の試験用キャリアの第1～第3の実施例と最も異なる点は、試験用のチップを搭載する基体として、第1～第3の実施例の試験用キャリアのようにエポキシ樹脂などの剛体からなり、ポケット12Aが設けられているケース12を

用いるのではなく、コンタクトシート11の材質と同様の、例えばポリイミドなどのシートを用いている点である。

【0034】図12にその一例を示す。図12に示すように、本実施例に係る試験用キャリアは、基体となる基板フィルム21と、コンタクトシート22とからなる。コンタクトシート22は、基本的には第1～第3の実施例と同様のものを用いている。基板フィルムは、コンタクトシート22と同様の材質の、膜厚0.05～0.1mm程度程度のポリイミドからなるフィルムを用いている。

【0035】これを組み立てる際には、基板フィルム21上に試験対象のチップ23を載置、固定して、第1の実施例と同様にして各部材を不図示の真空炉に搬入し、チップ23のコンタクト電極23Aと、コンタクトシート22のコンタクトパッド22Aとを位置合わせして、接着剤などで基板フィルム21とコンタクトシート22とを接着する。

【0036】その後、真空炉から出して常圧条件に戻すことにより、図13に示すように、コンタクト電極23Aと、コンタクトパッド22Aとが圧着された、試験用キャリアが完成する。また、図12に示す試験用キャリアと同様にして、図13に示すように、基体としてコンタクトシート22よりも剛性の高いポリイミドなどの材質からなる基板フィルム30を用いてもよい。

【0037】以上、図12、図13に示す本実施例に係る試験用キャリアによれば、第1～第3の実施例のように、チップを収納するポケットが設けられているケースを用いなくてもよいので、容易に当該試験用キャリアを形成することができ、コストも安く済むという利点がある。

【0038】

【発明の効果】以上述べたように本発明によれば、半導体集積回路装置を載置する基体と、基体を被覆して外部機器とのコンタクトをとる蓋体と、蓋体と基体との間に半導体集積回路装置を収納する半導体装置収納室を有し、この半導体装置収納室が外界の気圧に比して減圧されているので、B・I試験中の振動や運搬中の衝撃があっても、容易に位置ずれしないようにすることが可能となる。

【0039】また、適切なコンタクト圧力をチップにかけることができるため、半導体集積回路装置の微細な電極パターンに対応して外部機器とのコンタクトを確実にとることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る半導体集積回路装置の試験用キャリアの各部材を説明する図である。

【図2】本発明の第1の実施例に係る半導体集積回路装置の試験用キャリアの組み立て工程を示す図(その1)である。

【図3】本発明の第1の実施例に係る半導体集積回路装

置の試験用キャリアの組み立て工程を示す図（その2）である。

【図4】本発明の第1の実施例に係る半導体集積回路装置の試験用キャリアの構造を説明する図である。

【図5】本発明の第1の実施例に係る半導体集積回路装置の試験用キャリアを用いた試験方法について説明する図である。

【図6】本発明の第1の実施例に係る半導体集積回路装置の試験用キャリアの作用効果を説明する図（その1）である。

【図7】本発明の第1の実施例に係る半導体集積回路装置の試験用キャリアの作用効果を説明する図（その2）である。

【図8】本発明の第2の実施例に係る半導体集積回路装置の試験用キャリアの各部材を説明する図である。

【図9】本発明の第2の実施例に係る半導体集積回路装置の試験用キャリアの組み立て工程を示す図である。

【図10】本発明の第2の実施例に係る半導体集積回路装置の試験用キャリアの構造を説明する図である。

【図11】本発明の第3の実施例に係る半導体集積回路装置の試験用キャリアの構造を説明する図である。

【図12】本発明の第4の実施例に係る半導体集積回路装置の試験用キャリアの構造を説明する図（その1）である。

【図13】本発明の第4の実施例に係る半導体集積回路

装置の試験用キャリアの構造を説明する図（その2）である。

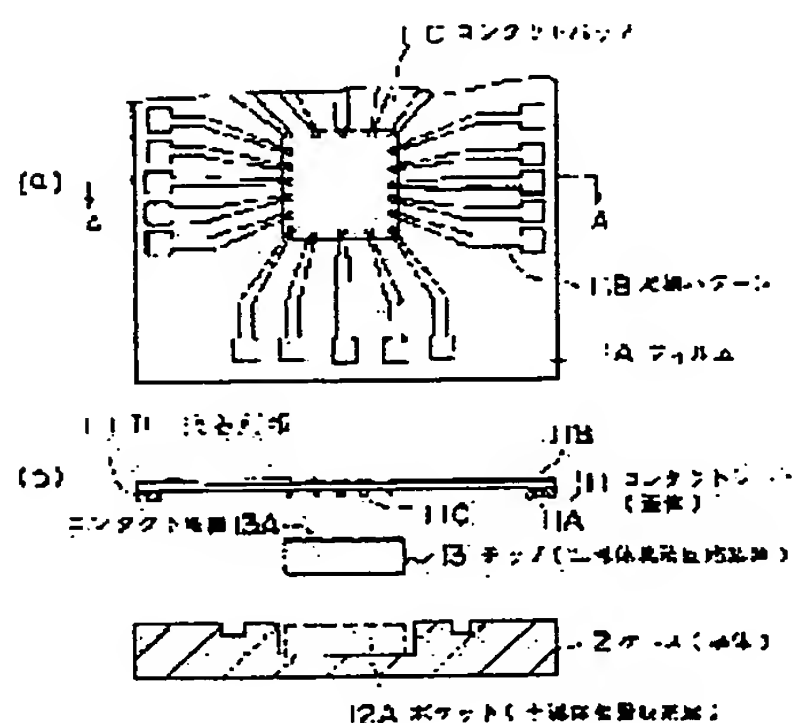
【図14】従来例に係る半導体集積回路装置の試験について説明する図（その1）である。

【図15】従来例に係る半導体集積回路装置の試験について説明する図（その2）である。

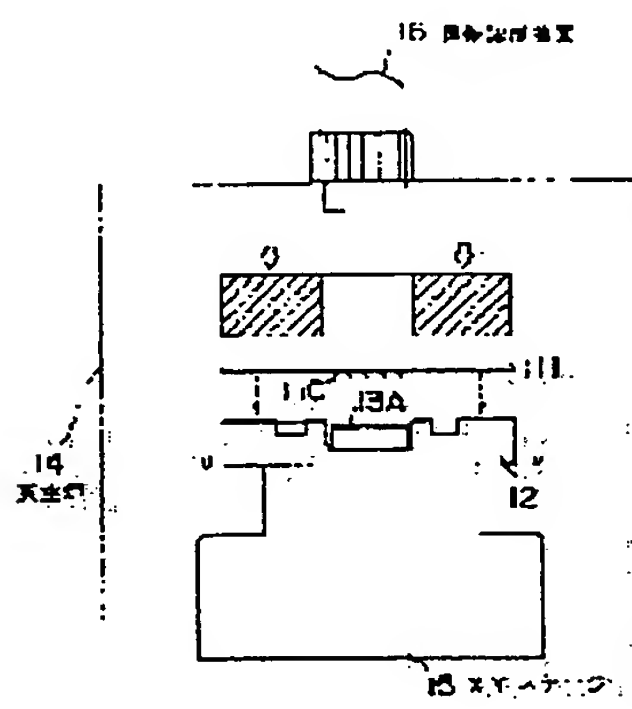
【符号の説明】

11, 22	コンタクトシート（蓋体）
11A	フィルム
11B	配線パターン
11C	コンタクトパッド
11D	接着力部
12	ケース（基体）
12A	ポケット（半導体装置収納室）
12B	切り欠き
12C	カブラ（排気弁）
12D	溝
12E	オリング（高密封性の部材）
13, 23	チップ（半導体集積回路装置）
13A, 23A	コンタクト電極
14	真空炉
15	XYステージ
16	画像認識装置
21, 30	基板フィルム（基体）

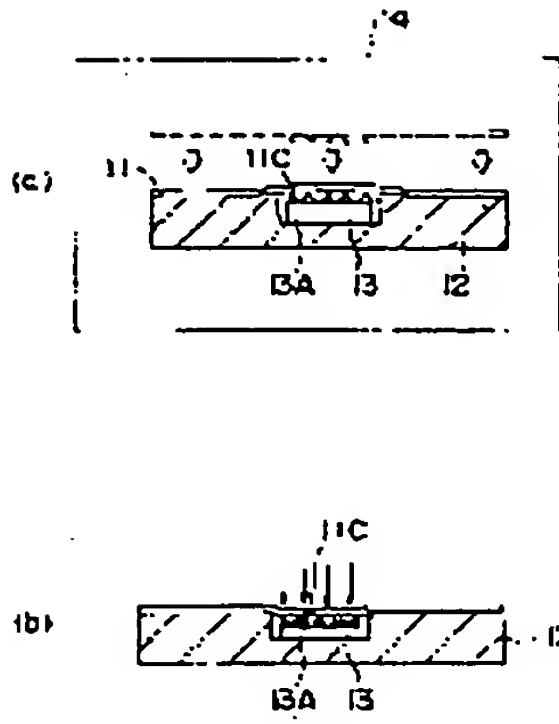
【図1】



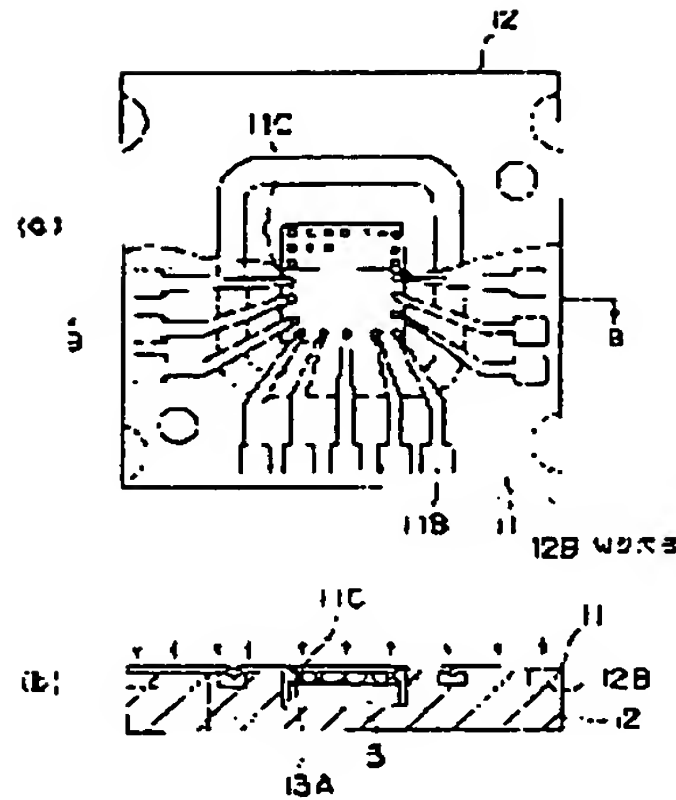
【図2】



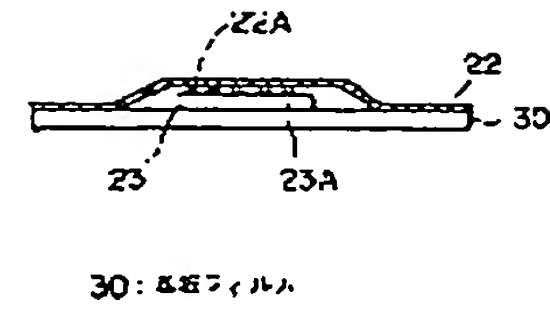
【図3】



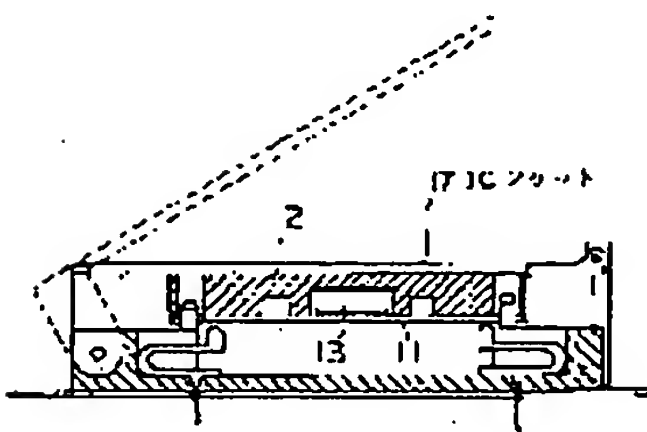
【図4】



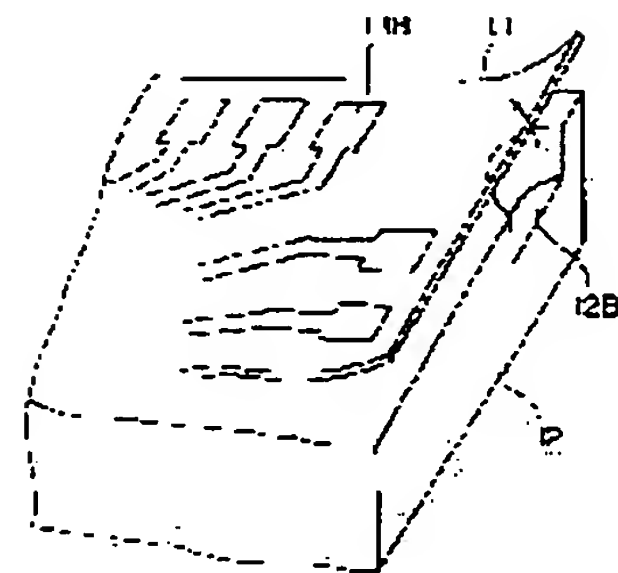
【図13】



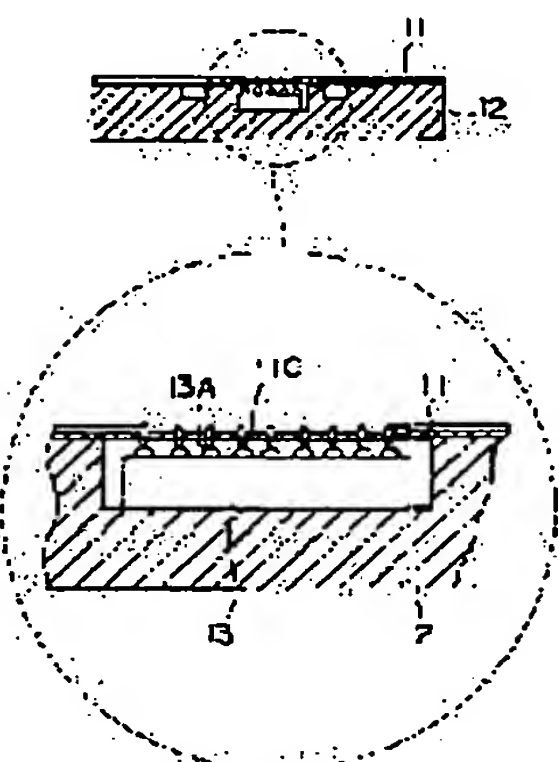
【図5】



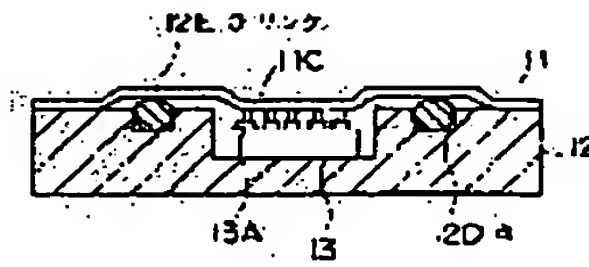
【図6】



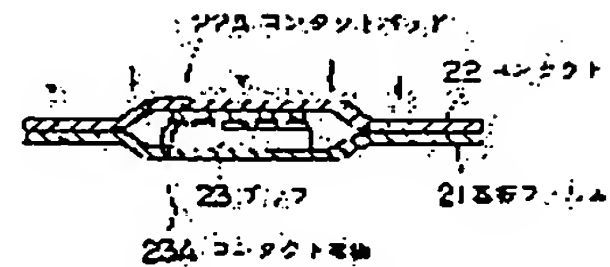
【図7】



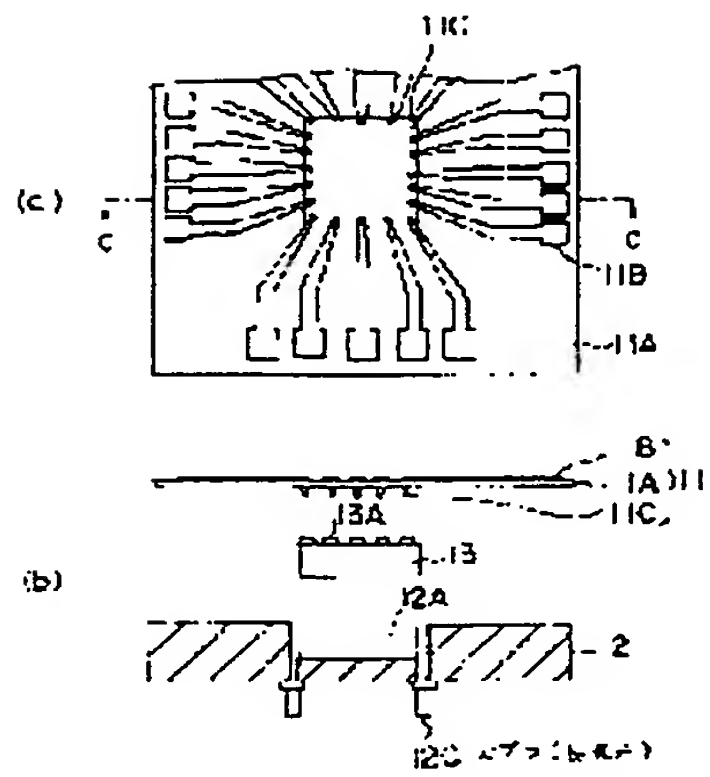
【図11】



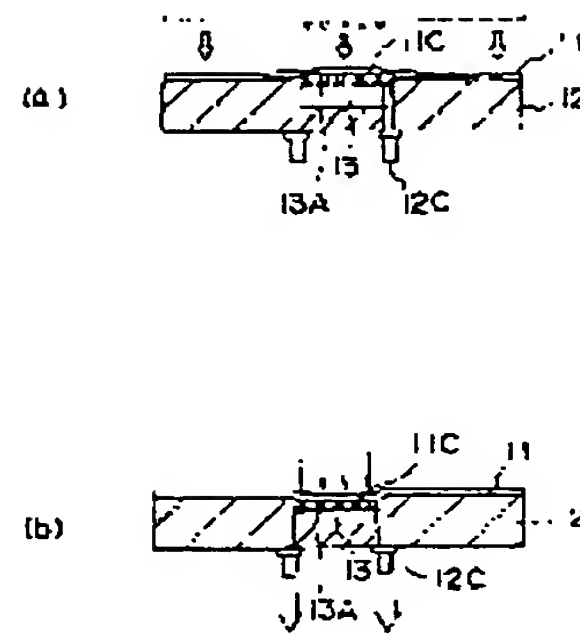
【図12】



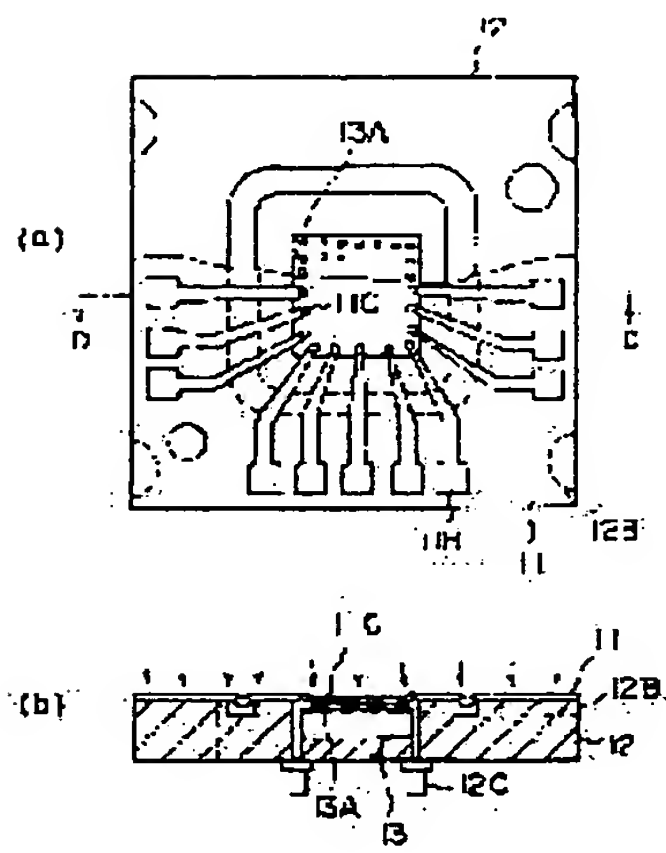
【図 8】



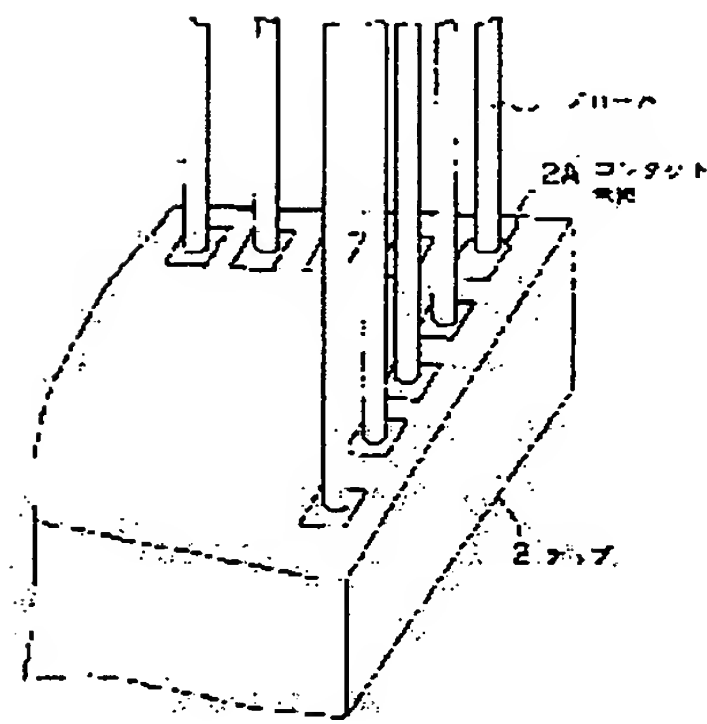
【図 9】



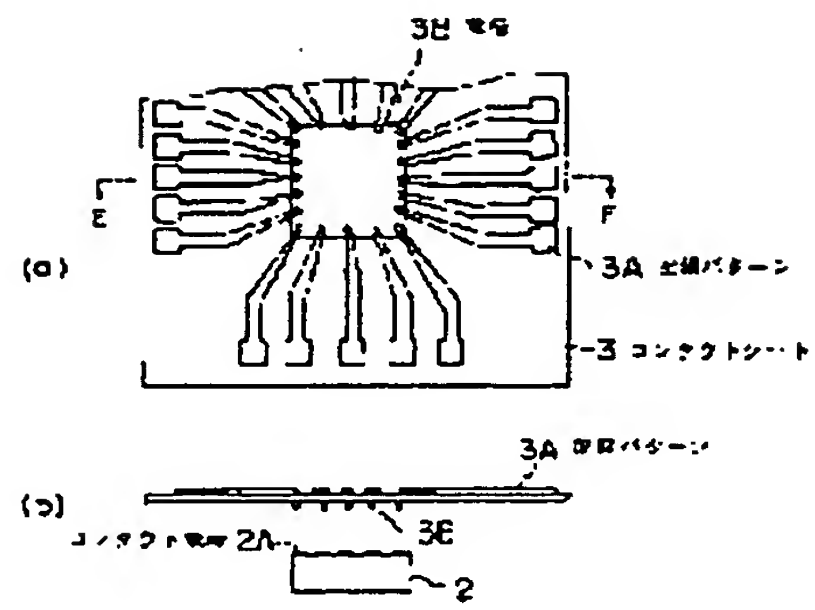
【図 10】



【図 14】



【図15】



THIS PAGE BLANK (USPTO)

특 1996-0015824

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/60

(11) 공개번호 특 1996-0015824
(43) 공개일자 1996년 05월 22일

(21) 출원번호	특 1995-0031588
(22) 출원일자	1995년 09월 25일
(30) 우선권주장	94-240111 1994년 10월 04일 일본(JP)
(71) 출원인	닛본덴기 가부시끼가이샤 개네꼬 히사시
	일본국 도쿄도 미나토구 시바 5쵸메 7-1
(72) 발명자	우루시마 미찌다카
	일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내
(74) 대리인	장수길, 구영창

심사청구 : 있음

(54) 자동 접합 테이프를 사용하여 제조된 반도체 패키지

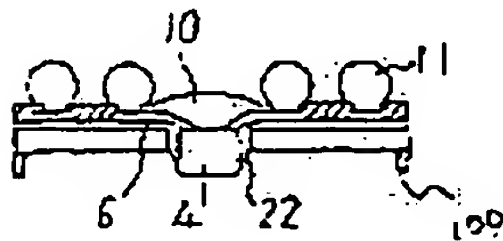
요약

본 발명에 따른 테이프 BGA 패키지용으로 투명한 베이스 필름이 사용된다.

이 베이스 필름은 반도체 칩이 삽입된 디바이스 홀을 갖고 있고, 행렬식으로 배치된 다수의 패드들 및 이 다수의 패드들을 반도체 칩의 전극들에 접속시키기 위한 와이어링들은 베이스 필름 상에 형성된다. 또한, 투명한 커버 리지스트는 다수의 패드들의 상부를 제외한 베이스 필름의 전체 표면에 피복되고, 구형 범프는 다수의 패드 상에 각각 형성된다.

이러한 구성에서는, 패키지가 인쇄 회로 기판에 장착된 후에라도 인쇄회로 기판에 패드들을 접합시키는 범프를 및 외부 리드선들 간의 접합 상태를 가시 관찰에 의해 검사할 수 있다.

도표도



명세서

[발명의 명칭]

자동 접합 테이프를 사용하여 제조된 반도체 패키지

[도면의 간단한 설명]

제2도는 본 발명의 한 실시예에 따른 테이프 BGA 패키지의 사시도.

제3도는 본 발명의 한 실시예에 따른 테이프 BGA 패키지가 인쇄 회로 기판에 장착되는 상황을 도시한 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

다수의 전극들을 갖고 있는 반도체 칩; 상기 반도체 칩이 제공된 디바이스 홀을 갖고 있는 광 투과성 베이스 필름; 상기 베이스 필름에 형성된 다수의 패드들; 상기 패드들 중 관련된 패드를 상기 반도체 칩의 상기 전극들 중 관련된 전극에 접속시키기 위해 상기 베이스 필름에 각각 제공된 다수의 와이어링들; 상기 와이어링들 및 상기 베이스 필름을 커버하는 광 투과성 커버 리지스트 필름; 및 상기 패드들 상에 각

각 형성된 다수의 범프들을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 베이스 필름이 폴리에틸렌 테레프탈 및 폴리이미드 수지로부터 선택된 재료로 구성된 것을 특징으로 하는 반도체 디바이스.

청구항 3

제1항에 있어서, 상기 커버 리지스트 필름이 폴리이미드 수지로 구성된 것을 특징으로 하는 반도체 디바이스.

청구항 4

제1항에 있어서, 상기 베이스 필름의 주변부를 따라 부착된 보강 프레임을 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 5

디바이스 홀을 갖고 있고 제1 및 제2표면들을 갖고 있는 베이스 필름; 다수의 전극들을 갖고 있고 상기 디바이스 홀에 제공된 반도체 칩; 상기 베이스 필름의 상기 제1표면에 형성된 다수의 패드들; 상기 다수의 패드들 중 관련된 패드를 상기 반도체 칩의 상기 전극들 중 관련된 전극에 접속시키기 위해 상기 베이스 필름의 상기 제1표면 상에 각각 형성된 다수의 와이어링들; 상기 다수의 패드들 상에 각각 형성된 다수의 범프들; 및 상기 제1 및 제2표면들 중 한 표면에 제공된 보강 프레임을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 6

제5항에 있어서, 상기 베이스 필름 및 상기 와이어링들을 커버하는 커버 리지스트 필름을 더 포함하는데, 상기 베이스 필름 및 상기 커버 리지스트 필름 각각은 투명하거나 반투명한 것을 특징으로 하는 반도체 디바이스.

청구항 7

제6항에 있어서, 상기 패드들 각각은 그 내부에 형성된 링 형태의 그루브를 갖고 있는 것을 특징으로 하는 반도체 디바이스.

청구항 8

제5항에 있어서, 상기 베이스 필름은 폴리에틸렌 테레프탈로 구성된 것을 특징으로 하는 반도체 디바이스.

청구항 9

제5항에 있어서, 상기 베이스 필름은 폴리이미드로 구성된 것을 특징으로 하는 반도체 디바이스.

청구항 10

제6항에 있어서, 상기 커버 리지스트 필름은 폴리이미드로 구성된 것을 특징으로 하는 반도체 디바이스.

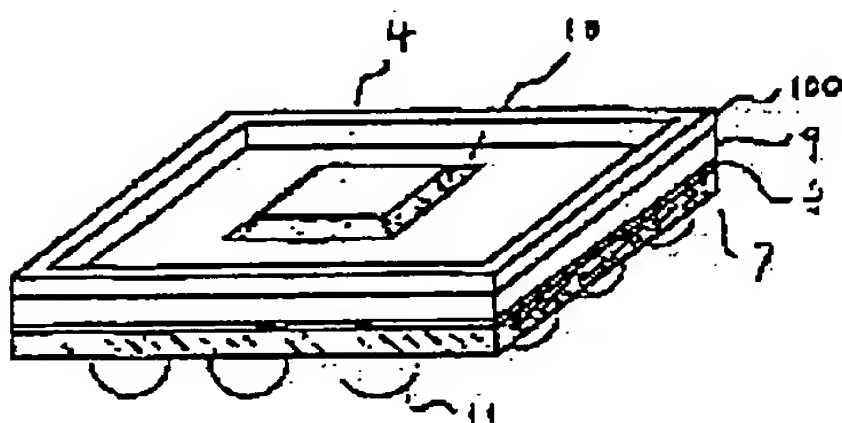
청구항 11

제5항에 있어서, 상기 디바이스 홀에 배치된 베이스 본체 및 상기 베이스 본체를 지탱하는 다수의 다리들을 더 포함하는데, 상기 반도체 칩 및 상기 베이스 본체는 수지에 의해 서로 접착되는 것을 특징으로 하는 반도체 디바이스.

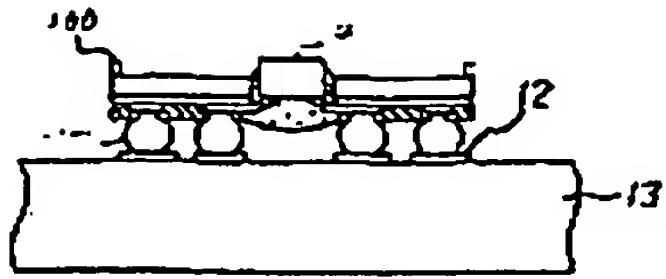
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3



THIS PAGE BLANK (USPTO)